

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116119  
(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/115

(21)Application number : 07-291978

(71)Applicant : SONY CORP

(22)Date of filing : 13.10.1995

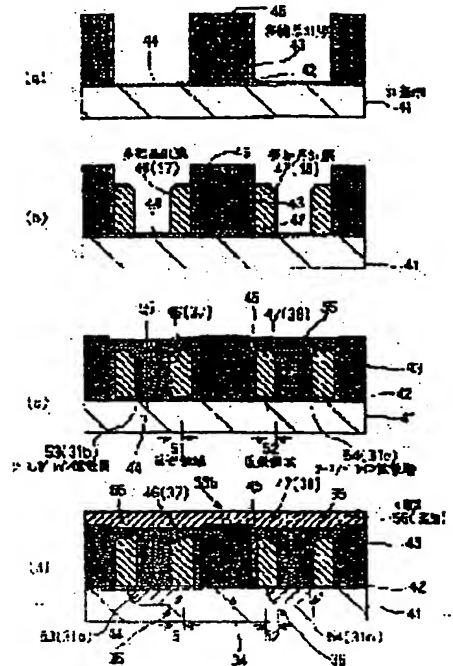
(72)Inventor : NISHIHARA TOSHIYUKI

## (54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce largely the cost per bit of a nonvolatile semiconductor storage device, by storing the data of two bits in its single memory cell and reducing the area of the memory cell.

**SOLUTION:** On both the sides of a polycrystal Si film 43 used as a control gate which are present in the extending direction of an Al film 56 used as a word line, polycrystal Si films 46, 47 used as a pair of floating gates are provided to form source/drain diffusion regions 53, 54 on the respective lower outsides of the films 46, 47. Thereby, it is made possible to write/read data for the respective ones of a pair of memory transistors 35, 36 present in a single memory cell 33b independently of each other, and the formation of a so-called contactless type memory cell can be realized.



### LEGAL STATUS

[Date of request for examination] 26.12.2000  
[Date of sending the examiner's decision of rejection] 02.09.2003  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

**Japanese Publication for Unexamined Patent Application**

**No. 116119/1997 (Tokukaihei 9-116119)**

A. Relevance of the Above-identified Document

This document has relevance to claims 1 and 14 of the present application.

B. Translation of the Relevant Passages of the Document

[0027]

[EMBODIMENT]

With reference to Figs. 1 to 3, the following describes the first and second specific examples of the present invention applied to an EEPROM. Fig. 3 illustrates an equivalent circuit which is common to the first and second specific examples. In the equivalent circuit of the first and second specific examples, wires (bit lines/source lines) 31a to 31d and word lines (control gates) 32a and 32b are arranged in lattice. Between the wires 31a to 31d, memory cells 33a to 33f are provided in matrix.

[0028]

In the equivalent circuit of the first and second specific examples, each of the memory cells 33a to 33f includes a selective transistor 34 and, on both sides thereof, memory transistors 35 and 36. The selective transistor 34 and the memory transistors 35 and 36 are

connected serially. The selective transistor 34 uses only the word lines (control gates) 32a and 32b as gate electrodes, and the memory transistors 35 and 36 use the word lines (control gates) 32a and 32b and floating gates 37 and 38 as gate electrodes.

[0029]

When electrons are injected into the floating gates 37 and 38 of the memory transistors 35 and 36, threshold voltages of the memory transistors 35 and 36 increase. Therefore, the memory transistors 35 and 36 function as offset resistors for the selective transistor 34.

[0030]

However, it is known that, if an offset resistor is provided to the source or drain of a transistor, current-driving capability is much lower in the case the offset resistor is provided to the source, than in the case the offset transistor is provided to the drain.

[0031]

One reason for this phenomenon is that, whereas an offset resistor provided to the source generates a substrate bias effect, thereby increasing the threshold voltage, an offset resistor has smaller influence in the vicinity of the drain, because the depletion layer stretches in the vicinity of the drain, so that the potential in the vicinity of the drain is controlled by the electric field from

the drain.

[0032]

Therefore, by appropriately adjusting the gate lengths of the memory transistors 35 and 36, it is possible to ensure that a current flows to the memory transistor (offset resistor) 35 or 36 provided to the drain, and that not current flows to the memory transistor 35 or 36 provided to the source.

[0033]

The present invention makes use of such an asymmetric characteristic of transistors. The pair of memory transistors 35 and 36 are provided in each of the memory cells 33a to 33f, so that data can be written and read independently with respect to each of the memory transistors 35 and 36. In this way, two bits of data can be stored in each of the memory cells 33a to 33f.

[0034]

In order to write data into the memory transistor 35 of, for example, the memory cell 33b in the equivalent circuit of the first and second specific examples shown in Fig. 3, 5V is applied to the wire 31b, which is connected to the drain of the memory cell 33b, and to the wire 31a (all the wires provided on the left of the wire 31 in Fig. 3), and the wires 31c and 31d (the rest of the wires provided on the right in Fig. 3) are grounded. Only the word line

32a is supplied with a high voltage (e.g. 12V), and the other word line 32b is grounded.

[0035]

As a result, a current flows only to the memory cell 33b, and hot electrons are generated in a high-field region in the vicinity of the drain. Therefore, electrons are selectively injected only into the floating gate 37 of the memory transistor 35. Data is thus written.

[0036]

On the other hand, in order to read data from the memory transistor 35 of the same memory cell 33b, 2V is applied to the wire 31c, which is connected to the drain of the memory cell 33b, and to the wire 31d (all the wires provided on the right of the wire 31d in Fig. 3). Then, the wires 31c and 31d are floated. Meanwhile, the wires 31a and 31b (the rest of the wires provided on the left in Fig. 3) are grounded. Only the word line 32a is supplied with 5V, for example, and the other word line 32b is grounded.

[0037]

In this case, if the gate lengths of the memory transistors 35 and 36 are appropriately adjusted as described above, only the state of the memory transistor 35 determines ON/OFF of the current flow to the memory cell 33b, regardless of the state of the memory transistor 36. Therefore, it is possible to read the data in the

memory transistor 35 by detecting potential drop when the potential of the wire line 31c drops to an intermediate potential between 2V and 0V.

[0038]

Data can be read more efficiently if an appropriate coupling capacitor is provided between (i) the floating gates 37 and 38 of each memory cell 33a to 33f and (ii) the source/drain diffusion layers. This is because, in reading data from the memory transistor 35 as described above, the potential of the floating gate 38 of the memory transistor 36 is increased not only by capacitance coupling with the word line 32a, but also by capacitance coupling with the wire 31c, resulting in the decrease of offset resistance of the memory transistor 36.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116119

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/115

識別記号

庁内整理番号

F I

H 0 1 L 27/10

4 3 4

技術表示箇所

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21)出願番号 特願平7-291978

(22)出願日 平成7年(1995)10月13日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

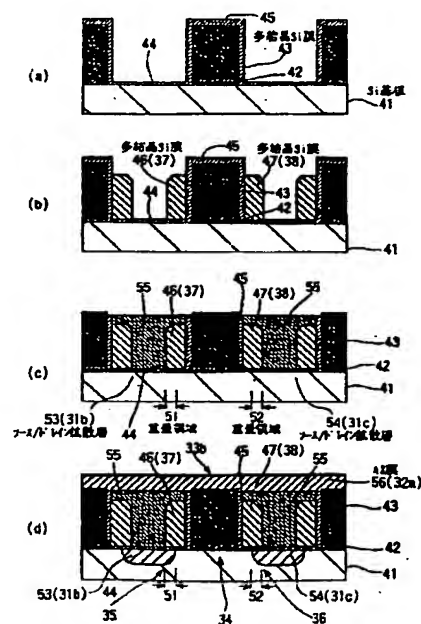
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 一つのメモリセルに2ビットのデータを記憶させ且つメモリセル面積を縮小させて、ビット当たりの単価を大幅に低減させる。

【解決手段】 制御ゲートとしての多結晶Si膜43のうちでワード線としてのAl膜56の延在方向における両側に、一対の浮遊ゲートとしての多結晶Si膜46、47が設けられており、その側方にソース/ドレイン拡散層53、54が設けられている。一つのメモリセル33b中の一対のメモリトランジスタ35、36の各々に対して独立に書込み及び読出しを行うことが可能であり、且つ、所謂コンタクトレス型のメモリセル構成を実現することができる。



## 【特許請求の範囲】

【請求項1】 制御ゲートのうちでワード線の延在方向における両側に一對の浮遊ゲートが設けられており、半導体基板のうちで前記浮遊ゲートの前記制御ゲートとは反対側にソース／ドレイン拡散層が設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ソース／ドレイン拡散層と前記浮遊ゲートとがそれらの一部同士で重畳していることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記制御ゲートと前記ワード線とが互いに異なる層の導電膜で形成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 前記制御ゲートが前記一對の浮遊ゲート同士の間を埋めると共にこれら一對の浮遊ゲートの上面を覆っていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願の発明は、メモリセルが選択トランジスタとメモリトランジスタとを有している不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】近年における携帯用情報端末機器等の普及及び発展に伴って、その外部記憶装置としてのメモリカード等を製造するために、大容量のEEPROM等の不揮発性半導体記憶装置の必要性が高まってきた。しかも、ビット当たりの単価を低減させることが求められており、且つ、特に携帯用機器では消費電力を低減させるために低電圧での動作が必要とされている。そして、この様な要望に対応するために、近年、所謂仮想接地線型のメモリセル構成が注目されている。

【0003】図5は、メモリセル構成が仮想接地線型で且つメモリセルが選択トランジスタとメモリトランジスタとを有しているEEPROMの一従来例の等価回路を示している。この一従来例の等価回路では、ビット線／ソース線になる配線11a～11dと制御ゲートになるワード線12a、12bとが格子状に配列されており、配線11a～11d同士の間メモリセル13a～13fが行列状に配置されている。

【0004】また、この一従来例の等価回路では、各メモリセル13a～13fにおいて、選択トランジスタ14とメモリトランジスタ15とが直列に接続されており、選択トランジスタ14は制御ゲートであるワード線12a、12bのみをゲート電極にし、メモリトランジスタ15は制御ゲートであるワード線12a、12bと浮遊ゲート16とをゲート電極にしている。

【0005】この様に各メモリセル13a～13fがメモリトランジスタ15の他に選択トランジスタ14をも有しているのは、低電圧動作のためにメモリトランジスタ15の閾値電圧を低めに設定した場合、消去状態のメ

モリセル13a～13fにおけるメモリトランジスタ15の閾値電圧が負になる可能性があるからである。

【0006】つまり、選択されていないメモリセル13a～13fでもチャネルリーク電流が流れ、同じビット線に接続されている他のメモリセル13a～13fから記憶データを読み出す際に誤動作を生じるおそれがあるので、その様なチャネルリーク電流が流れることを選択トランジスタ14によって防止するためである。

【0007】以上の様な一従来例の等価回路の例えばメモリセル13bにデータを書込む場合は、ワード線12aのみを例えば12Vの高電位にし、その他の総てのワード線12bを接地する。そして、メモリセル13bのドレインに接続されている配線11c及び図5中でそれよりも右側の総ての配線11dを5Vにし、図5中で残りの左側の総ての配線11a、11bを接地する。この結果、メモリセル13bにのみ電流が流れ、ホットエレクトロン注入によってデータが書込まれる。

【0008】一方、同じメモリセル13bからデータを読み出す場合は、ワード線12aのみを例えば5Vにし、その他の総てのワード線12bを接地する。そして、メモリセル13bのドレインに接続されている配線11c及び図5中でそれよりも右側の総ての配線11dを2Vにしてから浮遊状態にし、図5中で残りの左側の総ての配線11a、11bを接地する。

【0009】この場合、メモリセル13bが消去状態であれば、メモリセル13bを介して配線11cが配線11bへ電荷を放出するので、配線11cの電位が2Vと0Vとの中間電位へ低下した時点でその電位低下を検出することによって、データが読み出される。

【0010】図4は、図5に示した等価回路を有する一従来例の構造を示している。この一従来例の構造では、素子分離領域に形成されたソース／ドレイン拡散層21、22が配線11a～11dになっており、素子活性領域上の途中から素子分離領域上の途中にまで設けられている多結晶Si膜23等の導電膜が浮遊ゲート16になっている。

【0011】また、多結晶Si膜23が設けられていない素子活性領域上及び素子分離領域上と多結晶Si膜23上とを延在している多結晶Si膜24等の導電膜がワード線12a、12bになっている。

【0012】この様な一従来例の構造では、選択トランジスタ14とメモリトランジスタ15とでワード線12a、12bを共有することによって、一つのメモリセル13a～13f内に選択トランジスタ14とメモリトランジスタ15とを設けることによるメモリセル13a～13fの面積の増大を抑制して、ビット当たりの単価を低減させている。

【0013】また、この一従来例の構造では、ソース／ドレイン拡散層21、22で配線11a～11dを形成して所謂コンタクトレス型のメモリセル構成を実現し、



メモリセル13a~13fの面積を縮小させることによって、ビット当たりの単価を低減させている。

【0014】

【発明が解決しようとする課題】しかし、図4、5に示した一従来例では、一つのメモリセル13a~13fに1ビットのデータしか記憶させることができないので、ビット当たりの単価の大幅な低減が困難であった。

【0015】また、図4からも明らかな様に、配線11a~11dになっているソース/ドレイン拡散層21、22と浮遊ゲート16になっている多結晶Si膜23との間の合わせずれによって、選択トランジスタ14のゲート長25及びメモリトランジスタ15のゲート長26がばらつく。

【0016】このため、選択トランジスタ14及びメモリトランジスタ15におけるソース/ドレイン間のパンチスルーを防止し得る最小寸法を確保するために、ゲート長25、26に合わせ余裕を確保しておく必要があり、その分だけメモリセル13a~13fの面積が増大して、このことによって、ビット当たりの単価を低減させることが困難であった。

【0017】

【課題を解決するための手段】請求項1の不揮発性半導体記憶装置は、制御ゲートのうちでワード線の延在方向における両側に一对の浮遊ゲートが設けられており、半導体基板のうちで前記浮遊ゲートの前記制御ゲートとは反対側にソース/ドレイン拡散層が設けられていることを特徴としている。

【0018】請求項2の不揮発性半導体記憶装置は、請求項1の不揮発性半導体記憶装置において、前記ソース/ドレイン拡散層と前記浮遊ゲートとがそれらの一部同士で重畳していることを特徴としている。

【0019】請求項3の不揮発性半導体記憶装置は、請求項1の不揮発性半導体記憶装置において、前記制御ゲートと前記ワード線とが互いに異なる層の導電膜で形成されていることを特徴としている。

【0020】請求項4の不揮発性半導体記憶装置は、請求項1の不揮発性半導体記憶装置において、前記制御ゲートが前記一对の浮遊ゲート同士の間を埋めると共にこれら一对の浮遊ゲートの上面を覆っていることを特徴としている。

【0021】請求項1の不揮発性半導体記憶装置では、制御ゲートによって選択トランジスタが形成され、制御ゲート及び一つの浮遊ゲートによって一つのメモリトランジスタが形成されるが、メモリセルの選択に際してソース/ドレインを入れ替えることによって、一つのメモリセル中の一对のメモリトランジスタの各々に対して独立に書込み及び読出しを行うことができ、一つのメモリセルに2ビットのデータを記憶することが可能である。

【0022】しかも、ワード線の延在方向とチャネル長

方向とが同じ方向であるので、ワード線の延在方向と交わる方向へソース/ドレイン拡散層をそのまま延在させることによって、これらのソース/ドレイン拡散層をソース線及びビット線として用いることができる。このため、所謂コンタクトレス型のメモリセル構成を実現することができてメモリセル面積を縮小させることができる。

【0023】請求項2の不揮発性半導体記憶装置では、ソース/ドレイン拡散層と浮遊ゲートとがそれらの一部同士で重畳しているため、これらのソース/ドレイン拡散層と浮遊ゲートとの間に結合容量が形成されている。このため、読出し時にソース/ドレイン拡散層に印加された電位によって浮遊ゲートの電位も変動して、読出し時における選択トランジスタに対するメモリトランジスタによるオフセット抵抗が低い。

【0024】請求項3の不揮発性半導体記憶装置では、制御ゲートとワード線とが互いに異なる層の導電膜で形成されているので、制御ゲートのうちでワード線の延在方向における両側に一对の浮遊ゲートが設けられているにも拘らず、制御ゲートを形成した後で且つワード線を形成する前に、制御ゲートの側面にこの制御ゲートに対して自己整合的に側壁状の浮遊ゲートを形成することができる。このため、選択トランジスタ及びメモリトランジスタのゲート長に合わせ余裕を確保しておく必要がない。

【0025】また、制御ゲートとワード線とが互いに異なる層の導電膜で形成されているので、ゲートに対して自己整合的にソース/ドレイン拡散層を形成する場合でも、浮遊ゲートまでを形成した後にソース/ドレイン拡散層を形成することができる。このため、ソース/ドレイン拡散層を形成するための熱処理の後にワード線を形成することができて、ゲートに対して自己整合的にソース/ドレイン拡散層を形成する場合でも、金属膜でワード線を形成することができる。

【0026】請求項4の不揮発性半導体記憶装置では、浮遊ゲートがその側面のみならず上面においても制御ゲートと対向しているため、浮遊ゲートと制御ゲートとの結合係数大きい。また、制御ゲートとワード線とを同一層の導電膜で形成することができる。

【0027】

【発明の実施の形態】以下、EEPROMに適用した本願の発明の第1及び第2具体例を、図1~3を参照しながら説明する。図3が、第1及び第2具体例のメモリセルに共通の等価回路を示している。この第1及び第2具体例の等価回路では、ビット線/ソース線になる配線31a~31dと制御ゲートになるワード線32a、32bとが格子状に配列されており、配線31a~31d同士の間にはメモリセル33a~33fが行列状に配置されている。

【0028】また、この第1及び第2具体例の等価回路

では、各メモリセル33a~33fにおいて、選択トランジスタ34とその両側のメモリトランジスタ35、36とが直列に接続されており、選択トランジスタ34は制御ゲートであるワード線32a、32bのみをゲート電極にし、メモリトランジスタ35、36は制御ゲートであるワード線32a、32bと浮遊ゲート37、38とをゲート電極にしている。

【0029】ところで、メモリトランジスタ35、36の浮遊ゲート37、38に電子が注入されると、メモリトランジスタ35、36の閾値電圧が上昇して、これら

のメモリトランジスタ35、36は選択トランジスタ34のオフセット抵抗として作用する。  
【0030】しかし、トランジスタのソースまたはドレインの何れか一方にオフセット抵抗が付加されていると、ドレインにオフセット抵抗が付加されている場合よりもソースにオフセット抵抗が付加されている場合の方が電流駆動能力はるかに減少することが知られている。

【0031】これは、ソース側のオフセット抵抗は基板バイアス効果を生じさせて閾値電圧を上昇させるのに対して、ドレイン近傍では空乏層が延びるのでドレイン近傍のポテンシャルがドレインからの電界に支配されてオフセット抵抗の影響を受けにくいこと等による。

【0032】従って、メモリトランジスタ35、36のゲート長を適当に調節しておけば、オフセット抵抗として作用するメモリトランジスタ35、36が選択トランジスタ34のドレイン側に位置する場合には電流が流れてソース側に位置する場合には電流が流れない様にする事が可能である。

【0033】本願の発明は、以上の様なトランジスタの非対称な性質を利用して、一つのメモリセル33a~33f中に一対のメモリトランジスタ35、36を設け、各々のメモリトランジスタ35、36に対して独立に書き込み及び読出しを行うことができる様に、一つのメモリセル33a~33fに2ビットのデータを記憶することができる様にしている。

【0034】即ち、図3に示した第1及び第2具体例の等価回路の例えばメモリセル33b中の一方のメモリトランジスタ35にデータを書込む場合は、メモリセル33bのドレインに接続されている配線31b及び図3中でそれよりも左側の総ての配線31aを5Vにし、図3中で残りの右側の総ての配線31c、31dを接地する。そして、ワード線32aのみを例えば12Vの高電位にし、その他の総てのワード線32bを接地する。

【0035】この結果、メモリセル33bにのみ電流が流れ、そのドレイン近傍の高電界領域でホットエレクトロンが発生する。このため、メモリトランジスタ35の浮遊ゲート37にのみ選択的に電子が注入されて、データが書き込まれる。

【0036】一方、同じメモリセル33b中のメモリ

トランジスタ35からデータを読出す場合は、メモリセル33bのドレインに接続されている配線31c及び図3中でそれよりも右側の総ての配線31dを2Vにしてから浮遊状態にし、図3中で残りの左側の総ての配線31a、31bを接地する。そして、ワード線32aのみを例えば5Vにし、その他の総てのワード線32bを接地する。

【0037】この場合、既述の様にメモリトランジスタ35、36のゲート長を適当に調節しておけば、メモリトランジスタ36の状態に関係なく、メモリトランジスタ35の状態のみでメモリセル33bを流れる電流のオン/オフが決定されるので、配線31cの電位が2Vと0Vとの中間電位へ低下した時点にその電位低下を検出することによって、メモリトランジスタ35のデータを読出すことができる。

【0038】また、各メモリセル33a~33fの浮遊ゲート37、38とソース/ドレイン拡散層との間に適当な結合容量を形成しておけば、更に効率的な読出しが可能である。即ち、上述の場合と同様にメモリトランジスタ35からデータを読出す際に、ワード線32aとの容量結合のみならず配線31cとの容量結合によってもメモリトランジスタ36の浮遊ゲート38の電位が上昇して、このメモリトランジスタ36によるオフセット抵抗が低減するためである。

【0039】図1は、図3に示した等価回路を有する第1具体例の製造方法を示している。この第1具体例を製造するためには、図1(a)に示す様に、Si基板41の表面に選択トランジスタ34のゲート酸化膜としてのSiO<sub>2</sub>膜42を形成し、このSiO<sub>2</sub>膜42上の多結晶Si膜43とSiO<sub>2</sub>膜42とを図面の紙面に垂直に延在する縞状のパターンに加工する。

【0040】そして、Si基板41及び多結晶Si膜43の表面を熱酸化して、Si基板41の表面のトンネル用のSiO<sub>2</sub>膜44と多結晶Si膜43の表面の容量結合用のSiO<sub>2</sub>膜45とを同時に形成する。

【0041】次に、図1(b)に示す様に、燐を添加した多結晶Si膜をCVD法で全面に堆積させ、この多結晶Si膜の全面をエッチバックすることによって、SiO<sub>2</sub>膜45を介して多結晶Si膜43の両側面に、この多結晶Si膜43に対して自己整合的に、多結晶Si膜46、47から成る側壁を形成する。

【0042】次に、図1(c)に示す様に、多結晶Si膜43、46、47及びSiO<sub>2</sub>膜45をマスクにしてSi基板41に砒素をイオン注入し、更に適当な時間の熱処理を行って、多結晶Si膜46、47の一部との重畳領域51、52を有するソース/ドレイン拡散層53、54を、多結晶Si膜43、46、47に対して自己整合的に形成する。

【0043】その後、CVD法でSiO<sub>2</sub>膜55を全面に堆積させ、SiO<sub>2</sub>膜55、45の全面に対してエッ

チバックまたは研磨を行って、多結晶Si膜43の上面のみを露出させる。

【0044】次に、図1(d)に示す様に、Al膜56を全面に堆積させ、多結晶Si膜43、46、47及びソース/ドレイン拡散層53、54と垂直に延在する縞状のパターンにAl膜56を加工する。なお、Al膜56の代わりに高融点金属膜等を用いてもよい。そして、Al膜56のパターニングに用いたマスクをそのまま用いて、更に多結晶Si膜43、46、47及びSiO<sub>2</sub>膜45を図面の紙面に垂直な方向で分離する加工を行う。

【0045】以上の様にして形成した第1具体例のメモリセル33a~33fは、図3に示した等価回路を実現している。また、多結晶Si膜46、47とソース/ドレイン拡散層53、54との一部同士が重畳領域51、52を有しているため、これらの間に既述の結合容量が形成されている。

【0046】図2は、図3に示した等価回路を有する第2具体例の製造方法を示している。この第2具体例を製造するためには、図2(a)に示す様に、Si基板61上の全面に、燐を添加したSiO<sub>2</sub>膜62を堆積させ、このSiO<sub>2</sub>膜62を図面の紙面に垂直に延在する縞状のパターンに加工する。

【0047】そして、SiO<sub>2</sub>膜62からSi基板61へ燐を拡散させて、SiO<sub>2</sub>膜62の幅よりも広い幅を有するソース/ドレイン拡散層63、64をSiO<sub>2</sub>膜62に対して自己整合的に形成する。

【0048】次に、図2(b)に示す様に、熱酸化によってSi基板61の表面にトンネル用のSiO<sub>2</sub>膜65を形成する。その後、不純物を添加していない多結晶Si膜をCVD法で全面に堆積させ、この多結晶Si膜の全面をエッチバックすることによって、SiO<sub>2</sub>膜65の両側面に、このSiO<sub>2</sub>膜65に対して自己整合的に、多結晶Si膜66、67から成る側壁を形成する。

【0049】なお、多結晶Si膜66、67から成る側壁の厚さは、これらの多結晶Si膜66、67とソース/ドレイン拡散層63、64との一部同士が重畳領域71、72を有する様に選定する。また、多結晶Si膜66、67へはSiO<sub>2</sub>膜62から燐を拡散させる。

【0050】次に、図2(c)に示す様に、容量結合用絶縁膜及び選択トランジスタ34のゲート絶縁膜として、SiO<sub>2</sub>膜とSiN膜との積層膜であるON膜73を全面に形成する。

【0051】その後、多結晶Si膜74を全面に堆積させ、SiO<sub>2</sub>膜62、多結晶Si膜66、67及びソース/ドレイン拡散層63、64と垂直に延在する縞状のパターンに多結晶Si膜74を加工する。なお、多結晶Si膜74の代わりにAl膜や高融点金属膜等を用いてもよい。そして、多結晶Si膜74のパターニングに用いたマスクをそのまま用いて、更に多結晶Si膜66、

67及びSiO<sub>2</sub>膜62を図面の紙面に垂直な方向で分離する加工を行う。

【0052】以上の様にして形成した第2具体例のメモリセル33a~33fは、図3に示した等価回路を実現している。また、多結晶Si膜66、67とソース/ドレイン拡散層63、64との一部同士が重畳領域71、72を有しているため、これらの間に既述の結合容量が形成されている。なお、この第2具体例では、制御ゲートとワード線32a、32bとが共に多結晶Si膜74で形成されている。

【0053】なお、以上の第1及び第2具体例はEEPROMに本願の発明を適用したものであるが、本願の発明はEPROMやフラッシュEEPROM等の不揮発性半導体記憶装置にも適用することができる。

【0054】

【発明の効果】請求項1の不揮発性半導体記憶装置では、一つのメモリセルに2ビットのデータを記憶させることが可能であり、しかも、所謂コンタクトレス型のメモリセル構成を実現することができてメモリセル面積を縮小させることができるので、ビット当たりの単価を大幅に低減させることができる。

【0055】請求項2の不揮発性半導体記憶装置では、読出し時における選択トランジスタに対するメモリトランジスタによるオフセット抵抗が低いので、読出し時間が同じでよければ低電圧でも読出しが可能で消費電力が少なく、消費電力が同じでよければ読出し時間が短くて高速の読出しが可能である。

【0056】請求項3の不揮発性半導体記憶装置では、選択トランジスタ及びメモリトランジスタのゲート長に合わせ余裕を確保しておく必要がないので、メモリセル面積を更に縮小させることができ、ビット当たりの単価を更に低減させることができる。また、ゲートに対して自己整合的にソース/ドレイン拡散層を形成する場合でも、金属膜でワード線を形成することができるので、高速動作が可能である。

【0057】請求項4の不揮発性半導体記憶装置では、浮遊ゲートと制御ゲートとの結合係数が大きいので、動作時間が同じでよければ低電圧でも動作が可能で消費電力が少なく、消費電力が同じでよければ動作時間が短くて高速の動作が可能である。また、制御ゲートとワード線を同一層の導電膜で形成することができるので、製造工程が少なくてよく、このことによってもビット当たりの単価を更に低減させることができる。

【図面の簡単な説明】

【図1】本願の発明の第1具体例の製造方法を工程順に示す側断面図である。

【図2】本願の発明の第2具体例の製造方法を工程順に示す側断面図である。

【図3】第1及び第2具体例のメモリセルに共通の等価回路図である。

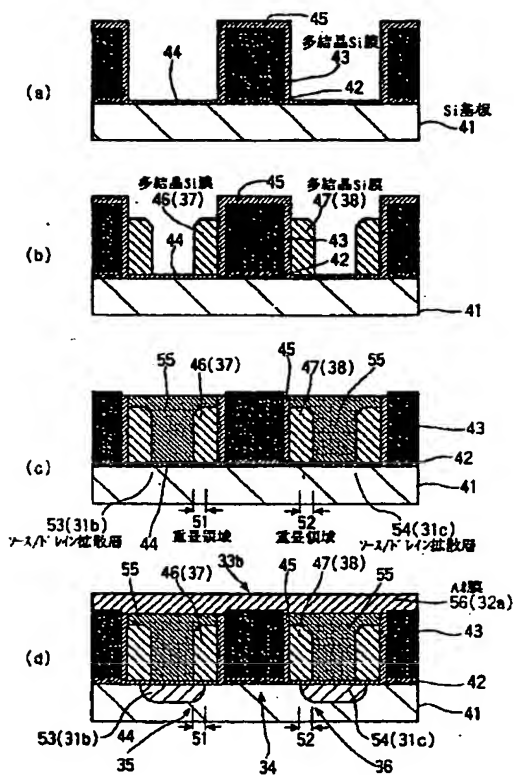
【図4】本願の発明の一従来例を示す側断面図である。  
 【図5】一従来例のメモリセルの等価回路図である。

【符号の説明】

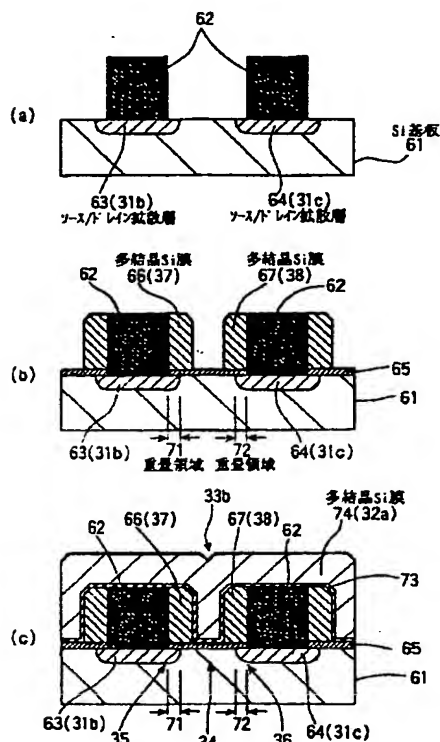
- 41 Si基板  
 43 多結晶Si膜  
 46 多結晶Si膜  
 47 多結晶Si膜  
 51 重畳領域  
 52 重畳領域  
 53 ソース/ドレイン拡散層

- \*54 ソース/ドレイン拡散層  
 \*56 Al膜  
 61 Si基板  
 63 ソース/ドレイン拡散層  
 64 ソース/ドレイン拡散層  
 66 多結晶Si膜  
 67 多結晶Si膜  
 71 重畳領域  
 72 重畳領域  
 \*10 74 多結晶Si膜

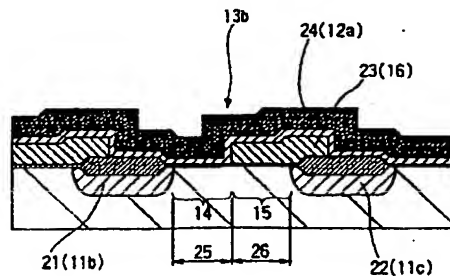
【図1】



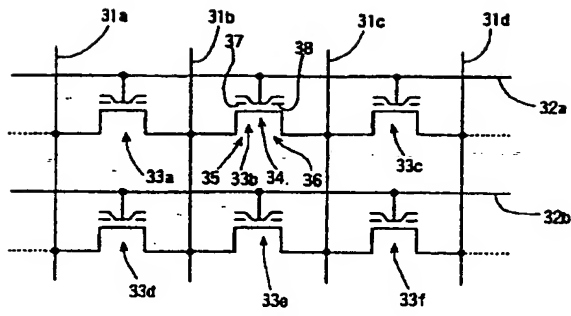
【図2】



【図4】



【図3】



【図5】

